



## Avis de Soutenance

Monsieur Chen LIU

Présentera ses travaux en soutenance

Soutenance prévue le **vendredi 21 septembre 2018** à 10h00

Lieu : Campus de BELFORT, UTBM, 90000 BELFORT  
salle I102

Titre des travaux : Simulation en temps réel du système électronique de puissance pour les applications du transport électrifié

Ecole doctorale : SPIM - Sciences Physiques pour l'Ingénieur et Microtechniques

Section CNU : 63

Unité de recherche : FEMTO-ST Franche Comté Electronique Mécanique Thermique et Optique - Sciences et Technologies

Directeur de thèse : Franck GECHTER

Codirecteur de thèse : Fei GAO  HDR  NON HDR

Soutenance :  Publique  A huis clos

Membres du jury :

<u>Nom</u>	<u>Qualité</u>	<u>Etablissement</u>	<u>Rôle</u>
M. Franck GECHTER	Maître de Conférences	Université de Technologie Belfort-Montbéliard	Directeur de these
M. Babak NAHID-MOBARAKEH	Professeur des Universités	Université de Lorraine	Rapporteur
M. Franck BETIN	Professeur des Universités	Université de Picardie	Rapporteur
M. Jean-philippe MARTIN	Maître de Conférences	Université de Lorraine	Examineur
M. MICHAEL HUEBNER	Professeur des Universités	Université de la Ruhr Bochum	Examineur
M. Fei GAO	Professeur des Universités	Université de Technologie Belfort-Montbéliard	CoDirecteur de these
M. DAMIEN PAIRE	Maître de Conférences	Université de Technologie Belfort-Montbéliard	Examineur
Mme Lin-Shi XUEFANG	Professeur des Universités	Institut national des sciences appliquées de Lyon	Examineur

## Résumé de la thèse (en français) :

Le développement du système électronique de puissance dans le transport électrique est poursuivi sous la forme de convertisseurs de puissance à haut rendement impliquant une topologie complexe. Bien que l'analyse et le contrôle d'un tel système soient souvent une tâche difficile en raison de l'environnement haute tension et haut courant, la simulation hardware-in-the-loop (HILs) offre un moyen sûr et rapide d'évaluer la stratégie de contrôle en simulant l'environnement externe du contrôleur dans le système embarqué. Au cours du processus, il y a deux exigences que nous devons relever dans le cadre de temps réel (i) Le processus de calcul doit être terminé avant que l'impulsion de déclenchement suivante de l'horloge en temps réel n'arrive; (ii) La latence dans le simulateur est assez petite pour être ignorée. Les périodes d'échantillonnage et de simulation dans les simulateurs basés sur CPU sont plus de 1 microseconde, il est difficile de prendre en compte l'ensemble des événements des commutateurs dans les systèmes d'entraînement modernes. En revanche, les FPGA (Field Programmable Gate Arrays) fournissent non seulement une vitesse d'échantillonnage rapide mais aussi une alternative viable pour accélérer le simulateur en temps réel. Cependant, la mise en œuvre d'un système électronique de puissance complexe dans les FPGA est l'une des limitations. Ainsi, dans cette thèse, nous ferons des recherches sur la simulation en temps réel à base de FPGA avec la tentative de résoudre le problème en résolvant les questions suivantes, 1.Comment pourrions-nous partitionner le système électronique de puissance et l'implémenter dans FPGA? 2.Comment pouvons-nous tirer parti des fonctionnalités FPGA pour accélérer le processus de résolution de circuit 3.Comment pourrions-nous optimiser les performances du FPGA? 4.Comment exprimer la caractéristique de commutation non linéaire du système électronique de puissance dans le FPGA? La première question concerne la caractéristique hybride à l'intérieur du système électronique de puissance. Nous avons proposé une nouvelle méthode nodale et un solveur matriciel basé sur la décomposition de Cholesky essayant de garder la topologie du circuit fixe et de traiter chaque élément de commutation et de circuit indépendamment. La deuxième question est celle de savoir comment obtenir des approximations pour toutes sortes d'Équation différentielle (ODE). Nous avons utilisé une série de solveurs ODE parallèles pour accélérer le processus de résolution. La troisième question est d'utiliser des outils de synthèse de haut niveau (HLS) pour optimiser les performances du FPGA. De tels outils sont utilisés pour développer des unités de calcul haute performance pour des applications de simulation en temps réel. Enfin, afin de rechercher l'impact de la caractéristique de commutation non linéaire sur le système électronique de puissance, nous avons proposé un modèle IGBT ultra-rapide avec un temps de calcul en nanosecondes dans le FPGA. Dans l'ensemble, les méthodes présentées contribuent au développement du simulateur en temps réel par FPGA pour le système de transport électrique de trois façons: réduire le temps de calcul des matrices, proposer un solveur ODE parallèle dans le FPGA et optimiser les performances du FPGA.

## Abstract (in English)

The development of power electronic system in electrical transportation is being pursued in the form of high-efficiency power converters involving complex topology. Although analysis and control of such system is often a difficult task due to the high-voltage and high-current environment, the hardware-in-the-loop simulation (HILs) offers a time-saving and safe way to evaluate the control strategy by simulating the external environment of a controller in the embedded system. During the process, there are two requirements that we have to meet in the context of racing against real-time: (i) the computation process is necessary to the end before the next trigger impulse from the real-time clock arrives (ii) the latency in the simulator is small enough to ignore. The sampling and simulation period in today's CPU-based HIL simulators can barely go under 1 us, it is hard to take into accounts the entire switch event from PWM (Pulse Width Modulation) in modern power drive systems. In contrast, Field Programmable Gate Arrays (FPGAs) provide not only an ultra-fast sampling speed but also a viable alternative for speeding up the real-time simulator. However, the implementing the complex power electronic system on FPGAs is one of the limitations in real time simulation. Thus, in this these, we will research the FPGA-based real-time simulation with the attempt to solve the following questions, 1.How could we partition power electronic system and implement it in FPGA? 2.How do we leverage FPGA features to accelerate circuit? 3.How could we optimize the performance of FPGA? 4.How do we express the nonlinear switch characteristic of power electronic system in the FPGA? The first question is about the hybrid characteristic inside the power electronic system. In the paper, we proposed a novel nodal method and a matrix solver based on Cholesky Decomposition trying to keep the circuit topology fixed and treat each switch and circuit element independently. The second question is one that how to obtain approximations for all kind of ordinary differential equations (ODEs). We utilized a series of parallel ODE solver to accelerate the solving process and deal with the stiff problem. The third question is to use high-level synthesis (HIL) tools to optimize the performance of FPGA. Such tools are employed for developing high-performance computing units, designated hereafter as hardware solvers (HS), for real-time simulation applications. At last, in order to research the impact of nonlinear switch characteristic on the power electronic system, we proposed an ultra-fast IGBT model with a calculation time in nanoseconds in the FPGA. Overall, the presented methods contribute to the development of FPGA-based real-time simulator in three ways: reducing the calculation time of matrix solving process, proposing parallel ODE solver in the FPGA and optimizing the performance of FPGA. Thus, with the FPGA solver we built, the model of power electronic system for electrical transportation can be solved within 50 nanoseconds in high accuracy.